

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-084217

(43)Date of publication of application : 30.03.2001

(51)Int.Cl.

G06F 13/28

(21)Application number : 11-261016

(71)Applicant : TOSHIBA MICROELECTRONICS
CORP
TOSHIBA CORP

(22)Date of filing : 14.09.1999

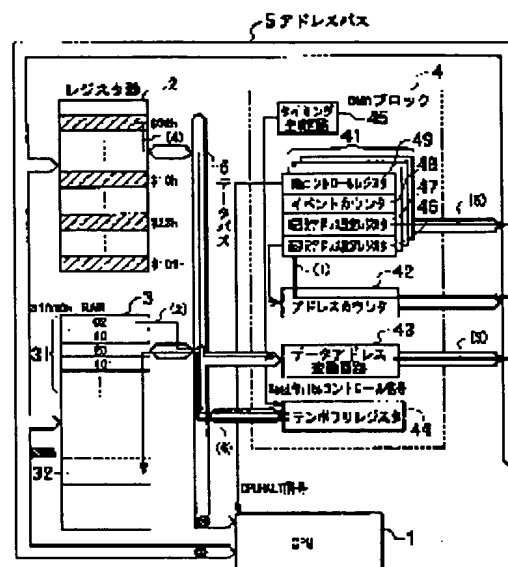
(72)Inventor : ISHIDA SATOMI

(54) DMA CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DMA(direct memory access) circuit capable of accomplishing miniaturization of a configuration and the reduction of a transfer time.

SOLUTION: This circuit is provided with an address counter 42, a transfer source address storage area 31 for memory 3, a transfer destination address setting register 47 and an event counter 48. A plurality of pieces of data for a register group 2 are subjected to DMA transfer to the memory 3 by one DMA channel and a once DMA transfer start.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-84217

(P2001-84217A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl.⁷

G 0 6 F 13/28

識別記号

3 1 0

F I

G 0 6 F 13/28

ターコード (参考)

3 1 0 H 5 B 0 6 1

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平11-261016

(22) 出願日 平成11年9月14日 (1999.9.14)

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 石田 さとみ

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

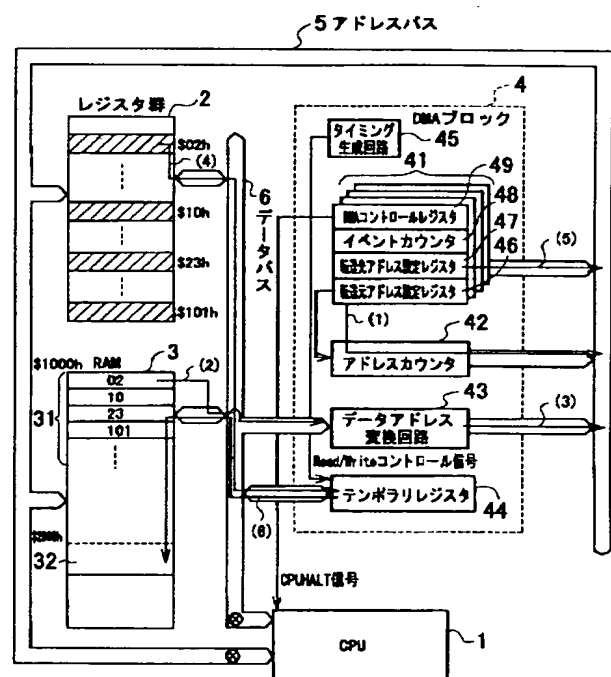
Fターム(参考) 5B061 BA03 DD01 DD06 RR05

(54) 【発明の名称】 DMA (ダイレクトメモリアクセス) 回路

(57) 【要約】

【課題】 この発明は、構成の小型化ならびに転送時間の短縮化を達成し得るDMA回路を提供することを課題とする。

【解決手段】 この発明は、アドレスカウンタ42、メモリ3の転送元アドレス格納領域31、転送元アドレス設定レジスタ46、転送先アドレス設定レジスタ47、イベントカウンタ48を備えて、1つのDMAチャネルならびに1度のDMA転送起動によりレジスタ群2の複数のデータをメモリ3にDMA転送するように構成される。



1

【特許請求の範囲】

【請求項 1】 CPU を介することなく転送元のデータを転送先にデータバスを介して転送制御する DMA（ダイレクトメモリアクセス）回路において、DMA 転送におけるデータの転送先となり、複数の転送元のアドレスを格納する転送元アドレス格納領域が設けられ、この領域に複数の転送元のアドレスが格納されたメモリと、前記メモリに格納された転送元のアドレスの先頭のアドレスが格納された前記メモリのアドレスが設定された転送元アドレス設定レジスタと、転送先の先頭アドレスが設定された転送先アドレス設定レジスタと、転送元のデータ数に応じて DMA 転送の回数が設定され、1 つのデータの DMA 転送が終了する毎に更新されるイベントカウンタと、前記転送元アドレス設定レジスタに設定されたアドレスが初期値として設定され、1 つのデータの DMA 転送が終了する毎に更新され、前記メモリの転送元アドレスが格納されたアドレスを順次指定するカウンタとを有することを特徴とする DMA 回路。

【請求項 2】 CPU を介することなく転送元のデータを転送先にデータバスを介して転送制御する DMA（ダイレクトメモリアクセス）回路において、複数の転送元のアドレスが格納された複数の転送元アドレス格納レジスタと、前記転送元アドレス格納レジスタの先頭のレジスタのアドレスが設定された転送元アドレス設定レジスタと、転送先の先頭アドレスが設定された転送先アドレス設定レジスタと、転送元のデータ数に応じて DMA 転送の回数が設定され、1 つのデータの DMA 転送が終了する毎に更新されるイベントカウンタと、前記転送元アドレス設定レジスタに設定されたアドレスが初期値として設定され、1 つのデータの DMA 転送が終了する毎に更新され、前記複数の転送元アドレス格納レジスタを順次指定するカウンタとを有することを特徴とする DMA 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CPU を介することなくレジスタとメモリ間でデータ転送を行う DMA（ダイレクトメモリアクセス）回路に関する。

【0002】

【従来の技術】 従来の DMA 転送の構成を図 3 に示す。

【0003】 図 3 において、従来の DMA 転送では、CPU 101 を介することなく、データの転送元となるレジスタ群の 4 つのレジスタ 102-1～102-4 とデータの転送先となるメモリ 103 間でデータバス 105 を介してデータ転送が行われる。このようなデータ転送にお

2

いて、DMA 設定レジスタ 106 内の転送元アドレス設定レジスタ 107-1～107-4 と転送先アドレス設定レジスタ 108-1～108-4 のレジスタ対でレジスタ 102 のアドレスと転送先のメモリ 103 のアドレスをそれぞれ設定していた。

【0004】 このような構成において、データの転送元を設定するための 1 つの転送元アドレス設定レジスタ 107 では、1 つのレジスタ 102 しか設定できなかった。そのため、レジスタ 102-1 のデータと同時に他のレジスタ 102-2～102-4 のデータを転送する場合には、転送元のレジスタの数だけ DMA チャンネル（転送元、転送先を指定する構成）が必要であり、転送元／転送先アドレス設定レジスタ 107、108 も同数必要であった。

【0005】 すなわち、レジスタ 102-1 のデータを DMA 転送するためには、転送元アドレス設定レジスタ 107-1 でレジスタ 102-1 のアドレスを指定し、転送先アドレス設定レジスタ 108-1 で転送（保存）する領域を指定する。同様に、レジスタ 102-2 のデータを DMA 転送するためには、転送元アドレス設定レジスタ 107-2 でレジスタ 102-2 のアドレスを指定し、転送先アドレス設定レジスタ 108-2 で転送（保存）する領域を指定する。レジスタ 102-3 のデータを DMA 転送するためには、転送元アドレス設定レジスタ 107-3 でレジスタ 102-3 のアドレスを指定し、転送先アドレス設定レジスタ 108-3 で転送（保存）する領域を指定する。レジスタ 102-4 のデータを DMA 転送するためには、転送元アドレス設定レジスタ 107-4 でレジスタ 102-4 のアドレスを指定し、転送先アドレス設定レジスタ 108-4 で転送（保存）する領域を指定する。

【0006】 このように、4 つの転送元のデータを DMA 転送するためには、4 組の転送元、転送先アドレス設定レジスタ 107、108 が必要であり、かつそれぞれのデータ転送毎に DMA 転送を起動しなければならなかった。しかし、1 つの DMA チャンネルしか持たない場合に複数のレジスタからメモリにデータを転送する場合には、DMA 転送の度に転送元／転送先アドレス設定レジスタの内容を書き換えて DMA 転送を行うか、あるいは DMA 転送を使用せずに CPU 101 がソフトウェアによりレジスタの各データをメモリ 103 に転送しなければならなかった。このように 1 つのレジスタのデータについては DMA 転送できるが、複数のレジスタのデータの転送を行う場合には、DMA チャンネルを必要数用意するか、又は CPU 101 がデータ転送を行うためのソフトウェアを作成しなくてはならなかった。

【0007】

【発明が解決しようとする課題】 以上説明したように、従来の DMA 転送において、転送元となる複数のレジスタのデータをメモリに DMA 転送する場合は、転送するデータと同数の DMA チャンネルが必要になっていた。こ

3

のため、DMAチャネルとなる例えばレジスタの数が増加し、構成の大型化を招くといった不具合を招いていた。また、上記DMA転送では、それぞれのデータの転送毎にDMA転送を起動しなければならなかった。このため、DMA転送に時間がかかるといった不具合も招いていた。

【0008】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、構成の小型化ならびに転送時間の短縮化を達成し得るDMA回路を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、課題を解決する第1の手段は、CPUを介することなく転送元のデータを転送先にデータバスを介して転送制御するDMA（ダイレクトメモリアクセス）回路において、DMA転送におけるデータの転送先となり、複数の転送元のアドレスを格納する転送元アドレス格納領域が設けられ、この領域に複数の転送元のアドレスが格納されたメモリと、前記メモリに格納された転送元のアドレスの先頭のアドレスが格納された前記メモリのアドレスが設定された転送元アドレス設定レジスタと、転送先の先頭アドレスが設定された転送先アドレス設定レジスタと、転送元のデータ数に応じてDMA転送の回数が設定され、1つのデータのDMA転送が終了する毎に更新されるイベントカウンタと、前記転送元アドレス設定レジスタに設定されたアドレスが初期値として設定され、1つのデータのDMA転送が終了する毎に更新され、前記メモリの転送元アドレスが格納されたアドレスを順次指定するカウンタとを有することを特徴とする。

【0010】第2の手段は、CPUを介することなく転送元のデータを転送先にデータバスを介して転送制御するDMA（ダイレクトメモリアクセス）回路において、複数の転送元のアドレスが格納された複数の転送元アドレス格納レジスタと、前記転送元アドレス格納レジスタの先頭のレジスタのアドレスが設定された転送元アドレス設定レジスタと、転送先の先頭アドレスが設定された転送先アドレス設定レジスタと、転送元のデータ数に応じてDMA転送の回数が設定され、1つのデータのDMA転送が終了する毎に更新されるイベントカウンタと、前記転送元アドレス設定レジスタに設定されたアドレスが初期値として設定され、1つのデータのDMA転送が終了する毎に更新され、前記複数の転送元アドレス格納レジスタを順次指定するカウンタとを有することを特徴とする。

【0011】

【発明の実施の形態】以下、図面を用いてこの発明の実施形態を説明する。

【0012】図1はこの発明の一実施形態に係るDMA回路を含むDMA転送に係わる構成を示す図である。図1において、この実施形態のDMA転送では、CPU1

4

と、DMA転送におけるデータ転送元となるレジスタ群2と、DMA転送のデータ転送先となるメモリ（RAM）3と、DMA転送を実行制御するDMAブロック4と、アドレスバス5、データバス6を備え、DMAブロック4は、DMA転送におけるデータの転送元、転送先を設定するレジスタを含むDMA設定レジスタ41と、転送元アドレス格納領域用のアドレスカウンタ42と、データをアドレスに変換するデータアドレス変換回路43と、テンポラリレジスタ44と、テンポラリレジスタ44にread/writeコントロール信号を供給するタイミング生成回路45とを備えて構成されている。

【0013】レジスタ群2は、転送元のデータを格納しており、例えばアドレス\$02h、\$10h、\$23h、\$101hで指定されるレジスタに保持されたデータを転送元のデータとし、アドレスバス5から与えられたアドレスにより指定され、指定されたレジスタからデータバス5に読み出されたデータはデータバス5を介してテンポラリレジスタ44に与えられる。

【0014】メモリ3は、カウンタ42によりアドレスが指定されてレジスタ群2の転送データを指定するアドレス（02h、10h、23h、101h）が格納された転送元アドレス格納領域31と、DMA転送されたデータの格納領域32（アドレス2000h～）を備えている。この転送元アドレス格納領域31の例えばアドレス1000hにはアドレス02hが格納され、アドレス1001hにはアドレス10hが格納され、アドレス1002hにはアドレス23hが格納され、アドレス1003hにはアドレス101hが格納されている。

【0015】アドレスカウンタ42は、初期値をインクリメントすることにより転送元アドレス格納領域31のアドレスを指定する。したがって、このアドレスカウンタ42の初期値としては転送元アドレス格納領域31の先頭アドレスの1000hがセットされる。

【0016】DMA設定レジスタ41は、メモリ3の転送元アドレス格納領域31の先頭のアドレスとなりカウンタ42に初期値としてセットされるアドレス（この実施形態ではアドレス1000h）が設定される転送元アドレス設定レジスタ46と、DMA転送におけるデータの転送先のメモリ3の先頭アドレスが設定されてインクリメント機能を有する転送先アドレス設定レジスタ47と、DMA転送の回数が設定されるイベントカウンタ48と、DMA転送が起動されるとCPU1からデータバス6ならびにアドレスバス5を解放するCPUHALT信号をCPU1に与えるDMAコントロールレジスタ49とを備えて構成され、DMA設定レジスタ41は複数組用意されている。

【0017】このように、DMA設定レジスタ41の転送元アドレス設定レジスタ46、転送先アドレス設定レジスタ47、イベントカウンタ48、DMAコントロールレジスタ49と、アドレスカウンタ42と、データア

10

20

30

40

50

5

ドレス変換回路43と、テンポラリレジスタ44を備えることにより、1つの転送元アドレス設定レジスタへの設定で複数のレジスタのデータがDMA転送可能となる。

【0018】メモリ3の転送元アドレス格納領域31にはレジスタ群2の任意のアドレス（この実施形態では02h、10h、23h、101h）をデータとして格納しておく。レジスタ群2のアドレスは連続したアドレスでなくともよい。この時、転送したいレジスタ（データ）は転送元アドレス格納領域31の容量分設定できる。転送元アドレス設定レジスタ46には転送元アドレス格納領域31の先頭アドレスを設定する。イベントカウンタ48には、DMA転送の回数をセットする。この実施例では、アドレス1000hに02hを書き込む。DMAコントロールレジスタ49からDMA起動がかかると、CPUHALT 信号がCPU1に出力される。これにより、CPU1とアドレスバス5、データバス6が切り離される。

【0019】以下、DMA転送の動作を説明する。

【0020】先ず、転送元アドレス設定レジスタ46の20 値がアドレスカウンタ42にセットされて、アドレスカ*

アドレスバス	データバス
1000h	02h
02h	02hのデータ
2000h	02hのデータ

この実施形態では、1つのDMAチャネル（転送元アドレス設定レジスタと転送先アドレス設定レジスタ）ならびに1回のDMA転送起動で複数のレジスタのデータをDMA転送することができる。これにより、構成の小型化ならびに転送時間の短縮化を図ることが可能となる。30 また、DMA転送を行うにあたって、メモリ3内の転送元アドレス格納領域31のデータを読み出す必要があるため3サイクル必要であるが、転送元アドレス格納領域31への設定はメモリの容量の範囲である程度自由に設定することができる。

【0022】図2はこの発明の他の実施形態に係るDMA回路を含むDMA転送に関する構成を示す図である。図2において、この実施形態の特徴とするところは、図1に示す実施形態に比べて、データアドレス変換回路43とテンポラリレジスタ44を削除し、図1に示すメモリ3内の転送元アドレス格納領域31に代えて、レジスタ群2のアドレスを格納する複数の転送元アドレス格納レジスタ（Reg1～）8と、図1に示すアドレスカウンタ4に代えて転送元アドレス格納レジスタ8を順次指定するカウンタ9を備え、他の構成は図1に示す構成と同様である。40

【0023】このように、転送元アドレス設定レジスタ46、インクリメント機能を有する転送先アドレス設定レジスタ47、イベントカウンタ48、転送元アドレス格納レジスタ8、カウンタ9を持つことによって一度の50

6

*ウンタ42の値がアドレスバス5に出力される（図1の矢印(1)）。アドレスカウンタ42によって示されたメモリ3のアドレス1000hのデータ02hがデータバス6を介してデータアドレス変換回路43に入力される（図1の矢印(2)）。データバス6からデータアドレス変換回路43に入力されたデータはアドレスとしてアドレスバス5に出力される（図1の矢印(3)）。アドレスバス5が示すアドレス02hのデータがテンポラリレジスタ44にタイミング生成回路45から出力されるread/write コントロール信号のタイミングにしたがって格納される（図1の矢印(4)）。転送先アドレス設定レジスタ47の値がアドレスバス5に出力される。（図1の矢印(5)）。テンポラリレジスタ44のデータがタイミング生成回路45からの信号のタイミングでメモリ3の2000hに格納される（図1の(6)）。このようにして、イベントカウンタ48の値が0になるまでDMA転送が繰り返し行われ、転送元のすべてのデータが転送先にDMA転送される。このようなDMA転送における最初のDMA転送時のバスの様子は以下に示すようになる。

【0021】

動作
Read
Read
Write

設定で複数のデータのDMA転送を可能とする。転送（セーブ）したいデータが入っているレジスタ群2のアドレスは転送元アドレス格納レジスタ8に設定する。転送元アドレス格納レジスタ8は、10または20など必要数を用意する。転送元アドレス設定レジスタ46には、転送元アドレス格納レジスタ（Reg1）8のアドレスを設定する。イベントカウンタ48には、DMA転送回数（転送元レジスタ数）をセットする。

【0024】DMAの起動がかかると、CPUHALT 信号がCPU1に出力され、アドレスバス5、データバス6がCPU1から切り離される。転送元アドレス設定レジスタ8の値はカウンタ9にもセットされる。カウンタ9はプログラムカウンタの動作を行い、転送元アドレス設定レジスタ46で設定したアドレスの転送元アドレス格納レジスタ（Reg1）8にセットされているデータをDMAアドレスとしてアドレスバス7に出力する。このアドレスによりレジスタ群のデータが転送先アドレス設定レジスタ47によって設定されたメモリ3内のアドレスにDMA転送される。転送が終了するとイベントカウンタ48は1つデクリメントし、カウンタ9の値は1つインクリメントする。転送先アドレス設定レジスタ47の値は1つインクリメントする。カウンタ9の値がインクリメントしたことにより、次の転送元アドレス格納レジスタ（Reg2）8のデータがDMAアドレスとして出力される。このアドレスによりレジスタ群2のデータがDMA

7

転送される。転送が終了するとイベントカウンタ48の値が1つデクリメントし、カウンタ9の値が1つインクリメントする。このようにして、イベントカウンタ48の値が0になるまでDMA転送が繰り返される。この*

カウンタ	アドレスバス	データバス	動作
Reg1	0002h	データ(レジスタ2-1)	読み出し
	転送先アドレス	データ(レジスタ2-1)	書き込み

この実施形態にあっては、先の実施形態と同様の効果が得られる。また、カウンタ9が示す転送元アドレス格納レジスタ8のデータがDMAアドレスとして出力されるので、2サイクルでDMA転送が終了し、先の実施形態に比べて転送時間をより一層短縮化することができる。しかし、転送元アドレス格納レジスタ8へ設定できるアドレス数は設計段階で決められたレジスタ数に制限されることになる。

【0026】

【発明の効果】以上説明したように、この発明によれば、1つのDMAチャネル、ならびに1度のDMA転送起動により複数のデータをDMA転送することができる。これにより、構成の小型化及び転送時間の短縮化を達成することが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施形態に係るDMA回路を含むDMA転送に係わる構成を示す図である。

【図2】この発明の他の実施形態に係るDMA回路を含むDMA転送に係わる構成を示す図である。

【図3】従来のDMA転送に係わる構成を示す図であ ※

*ようなDMA転送における最初のDMA転送時のバスの様子は以下に示すようになる。

【0025】

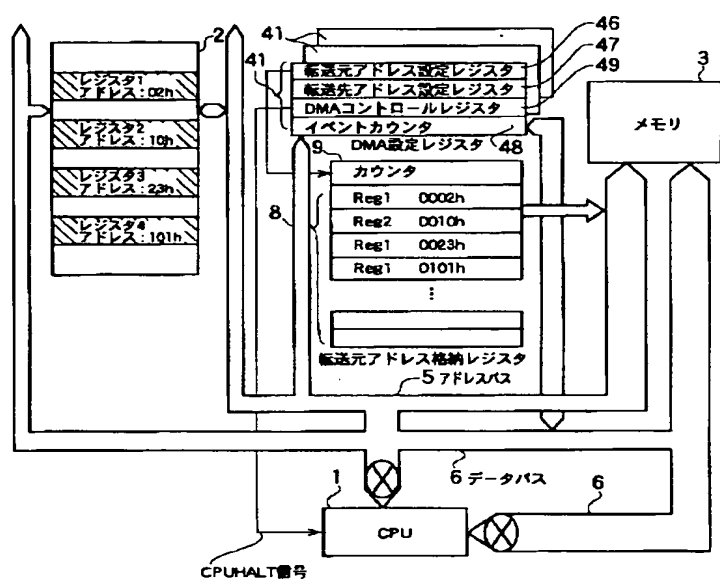
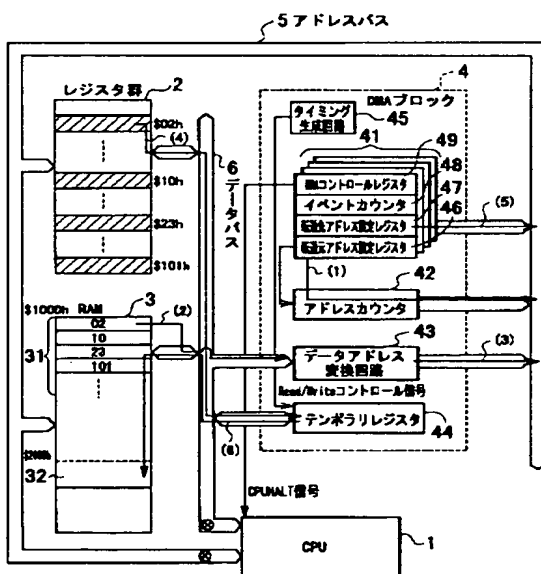
※る。

【符号の説明】

- 1 CPU
- 2 レジスタ群
- 3 メモリ
- 4 DMAブロック
- 5 アドレスバス
- 6 データバス
- 8 転送元アドレス格納レジスタ
- 9 カウンタ
- 41 DMA設定レジスタ
- 42 アドレスカウンタ
- 43 データアドレス変換回路
- 44 テンポラリレジスタ
- 45 タイミング生成回路
- 46 転送元アドレス設定レジスタ
- 47 転送先アドレス設定レジスタ
- 48 イベントカウンタ
- 49 DMAコントロールレジスタ

【図1】

【図2】



【図3】

